



(12) Wirtschaftspatent

Ertellt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 270 162 A1

4(51) G 06 F 15/18

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 313 563 4

(22) 10.03.88

(44) 19.07.89

(71) Humboldt-Universität zu Berlin, Direktorat für Forschung, Unter den Linden 8, Berlin, 1088, DD

(72) Boseniuk, Thorsten, Dr. rer. nat.; Ebeling, Werner, Prof. Dr. habil.; van der Meer, Marius, Dipl.-Phys.; Pöschel, Thorsten, Dipl.-Phys., DD

(54) Schaltungsanordnung und Verfahren zum Abarbeiten von Lernprozessen auf parallel arbeitenden Digitalrechnern

(55) Lernen, Klassifizierung, Verknüpfungsschaltung, Parallelverarbeitung, Netzwerk

(57) Mit der Erfindung sollen ökonomisch Lernprozesse auf speziellen parallel arbeitenden Digitalrechnern, bei denen die Lernaufgabe darin besteht, einem Inputvektor einen Outputvektor nach einer bestimmten Vorschrift zuzuordnen, vollzogen werden. Als Lösung hierzu ist vorgesehen, daß die Inputelemente und Knotenelemente in Schichten angeordnet sind, wobei die Inputelemente die erste Schicht bilden und alle weiteren Schichten aus gleichartigen Knotenelementen gebildet sind, wobei jeder Anschluß jedes Knotenelementes einer Schicht mit einem Anschluß jedes Input- oder Knotenelementes einer benachbarten Schicht zur Übergabe von Daten verbunden ist. Ein oder mehrere Knotenelemente werden dabei durch einen Mikrorechner realisiert. Mittels wahlweisem Umschalten der Funktion der Anschlüsse der Knotenelemente von Eingangsleitungen zu Ausgangsleitungen wird ein zyklischer Algorithmus, der aus drei Teilen besteht, ausgeführt, mit dem Ziel, die o. g. Lernaufgabe zunehmend besser zu erfüllen. Fig. 1

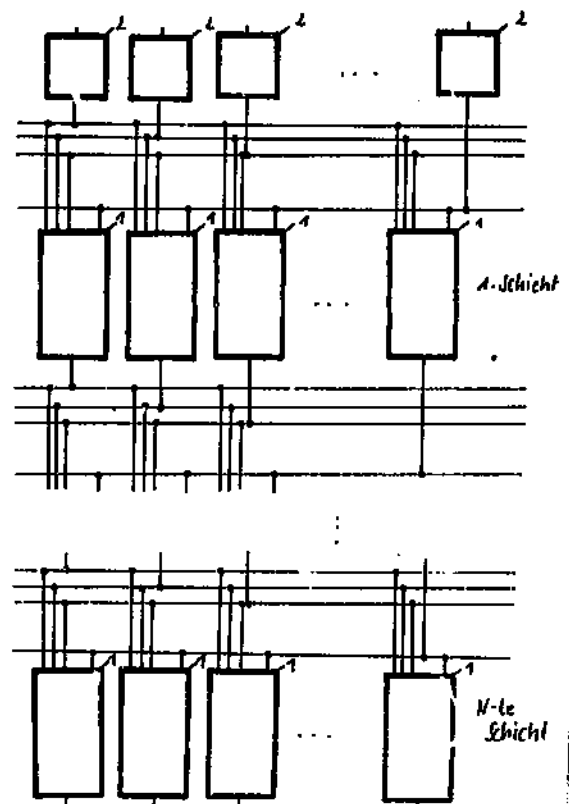


Fig. 1